# ?????

# ??python????module???

1. python语法用来描述 module之间的关系和
2. 定义 latch的存储器
3. 定义 module的算法和输入输出
4. 配置一些固定的规格参数

# ??throughput?latency???

1. 传递的标准信息都是 inst
2. 定义一个通用的 TL（throughput latency）的 Module
    1. 支持配置 thread 通道数量
    2. 处理 inst的 latency
    3. 处理 inst的 throughput: 输入的通道的数量，输出的通道数量
    4. 内部 stand-by的容量
3. TL可以被递归的进行组合
4. TL可以通过简单的 python脚本定义输入和输出 inst的转换规则
5. 激励是一种特殊的 Module
6. TL可以支持自动的生成统计信息和 time line图标

# ??????????????

1. 定义资源，生产，消费的抽象
2. 内置抽象功能的仿真: 容量， 带宽 **throughput**，规格， 延迟 **latency**，功耗
3. 支持建立资源的依赖关系
4. 内置的调度算法支持：轮询、贪心、自动调度探索的算法
5. 用于仿真评估的现成运行库、工具库
6. 定义
    1. 对象的生产
    2. 对象的缓存、处理、转换、调度、流转
    3. 对象的消费
7. flow plan， Place and router 规划
    1. 完全抽象后是可以求解一个方案，但是把所有的因素都考虑进去很慢
    2. 建模抽象，不能只是一个计算器，而是要能做到抽象的抽象，怎么快速得对问题进行分析？？
    3. 建模过程:

        1. [illegible]
        2. [illegible]
        3. [illegible] 1[illegible]
        4. [illegible] 2[illegible]
        5. [illegible] 3[illegible] 1[illegible] 2[illegible]

# ?????

1. [illegible]
    1. [illegible]
2. [illegible]
    1. [illegible] /credit/valid
    2. [illegible] bank[illegible] structure harzd
    3. RAW[illegible] WAW[illegible] Data harzd
    4. [illegible] cache line
    5. [illegible]
3. [illegible]
    1. [illegible]

# ??????????Logicsim

1. [illegible] Latch
2. [illegible] Launch
3. [illegible] Status
    1. ISA/UISA [illegible] module[illegible]
    2. [illegible]

---

Revision #5
Created 2025-02-25 05:28:27 UTC by Colin
Updated 2026-04-29 07:33:48 UTC by Colin