



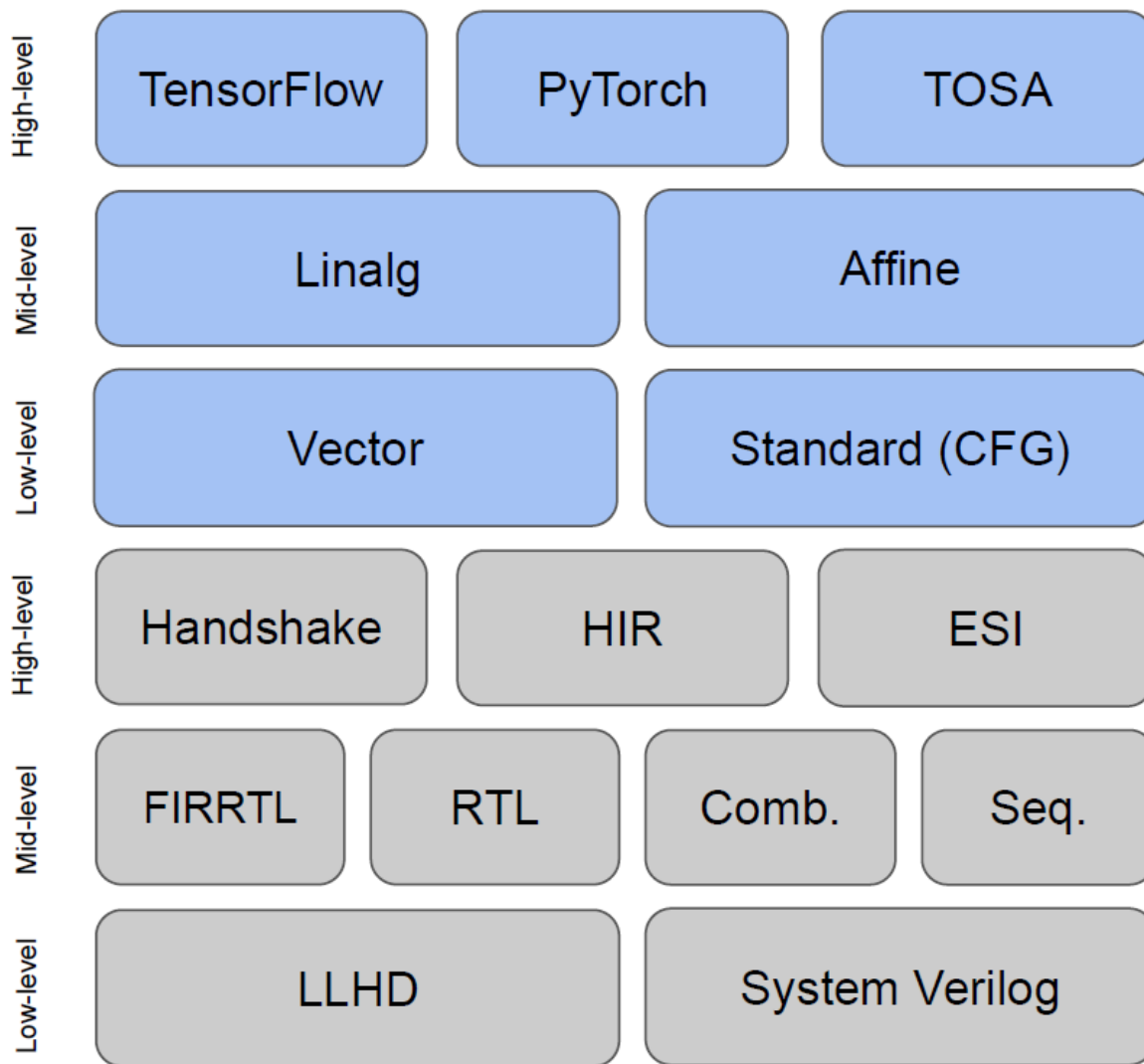
LogicSIM    RTL

- 1.    reg
- 2.    reg
- 3. logic    reg
- 4. reg    clk
- 5. logic    clk
- 6.    latch    get    cycle    set    map

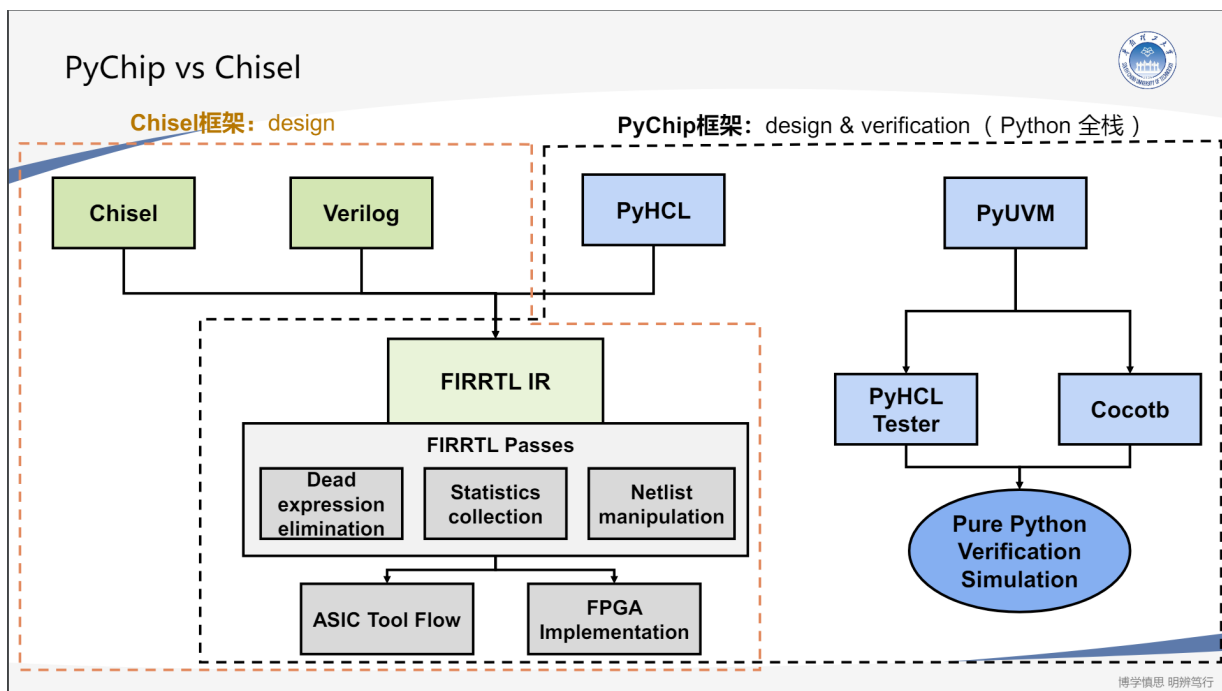
module

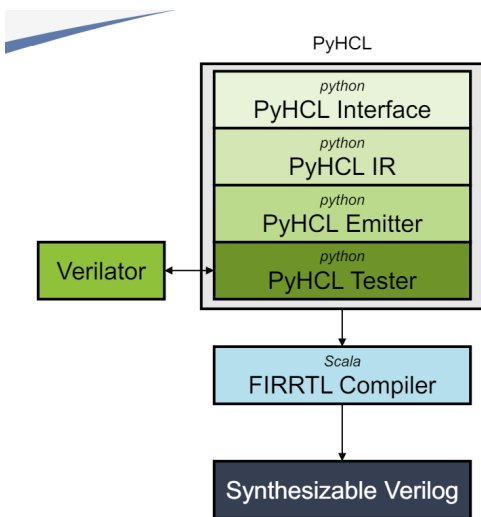
- 1.    latch    logic
- 2. throughput    1
- 3. latency    >1

CIRCT



## PyChip vs Chisel





## PyHCL

- PyHCL是一个使用Python设计的高层次电路设计第三方库；
- 理念与Chisel相似，都是使用构造的方式来设计电路；
- PyHCL的前端设计更为简洁精炼，且充分利用了Python语言自身的特性（动态、脚本）；
- 相较于Chisel的宿主语言Scala，PyHCL要更为轻量级。

Revision #1

Created 11 January 2025 09:46:28 by Colin

Updated 12 January 2025 06:38:21 by Colin